

# Logikfamilien der Digitaltechnik

W.Kippels

22. März 2014

## Inhaltsverzeichnis

<b>1</b>	<b>Einleitung</b>	<b>2</b>
<b>2</b>	<b>Grundlagen der TTL-Technik</b>	<b>2</b>
2.1	NAND-Gatter in TTL-Technik . . . . .	2
2.2	NOR-Gatter in TTL-Technik . . . . .	4
2.3	Inverterschaltung . . . . .	5
2.4	Schaltungen mit "Open-Collector"-Ausgang . . . . .	6
2.5	Eigenschaften der TTL-Technik . . . . .	6
<b>3</b>	<b>Grundlagen der CMOS-Technik</b>	<b>7</b>
3.1	Inverter . . . . .	7
3.2	NAND-Gatter in CMOS-Technik . . . . .	8
3.3	NOR-Gatter in CMOS-Technik . . . . .	9
3.4	Eigenschaften der CMOS-Technik . . . . .	10

# 1 Einleitung

Digitalbausteine stellen logische Schaltungen der Digitaltechnik dar. Man spricht hierbei von „Logik-Familien“, womit gemeint ist, dass viele unterschiedliche Bausteine existieren, die nach dem jeweils gleichen Grundmuster aufgebaut sind. Sie sind alle als Integrierte Schaltung aufgebaut, meist im DIL-Gehäuse mit 14 oder 16 Anschlüssen. Durch diese Anzahl der Anschlüsse ist es möglich, in einem IC meist mehrere voneinander unabhängige Gatter unter zu bringen, die lediglich gemeinsame Anschlüsse zur Stromversorgung haben. Die gängigsten Logik-Familien sind die **TTL**-Technik (mit einigen Unterfamilien) und die **CMOS**-Technik. Diese beiden Familien sollen hier vorgestellt werden.

Zur Darstellung der digitalen Zustände kann man Nullen und Einsen verwenden, man kann auch von *L*-Signalen (*Low*-Signalen) und *H*-Signalen (*High*-Signalen) sprechen. Dabei bedeutet *L* logisch 0 und *H* logisch 1. Ich werde beide Bezeichnungen nebeneinander verwenden.

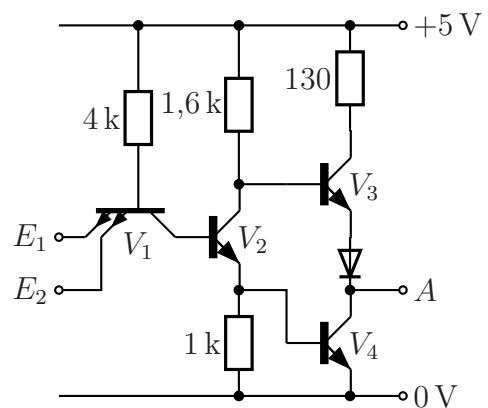
## 2 Grundlagen der TTL-Technik

Die Abkürzung **TTL** steht für **T**ransistor-**T**ransistor-**L**ogik. Der Name entstand zur Abgrenzung gegen die damals auch verwendete **DTL**, der **D**iode-**T**ransistor-**L**ogik, bei der ein Dioden-Array auf einen Transistor wirkte. Bei TTL sind es ausschließlich Transistoren.

### 2.1 NAND-Gatter in TTL-Technik

Nebenstehend ist ein NAND-Gatter in TTL-Technik dargestellt. Beispielsweise sind unter der Bezeichnung *SN7400* vier NAND-Gatter dieser Art in einem einzigen IC erhältlich.

Beim ersten Blick auf die Schaltung fällt der sogenannte „Multi-Emitter-Transistor“  $V_1$  ganz links in der Schaltung auf. Obwohl dieses Halbleiterbauelement Transistor heißt, ist seine Funktion doch deutlich anders, als bei einem normalen Transistor.



*NAND-Gatter*

Gehen wir zum Verständnis der Schaltung der Reihe nach verschiedene Beschaltungen an den beiden Eingängen durch. Nehmen wir zunächst an, an keinen Eingang ist etwas angeschlossen. Die beiden „Emittoren“ von  $V_1$  bleiben offen. Dann ist nur der PN-Übergang zwischen Basis und Kollektor wirksam. Dieser PN-Übergang verhält sich, wie eine nor-

male Diode in Durchlassrichtung. Ein Strom fließt vom 5-Volt-Anschluss über den  $4\text{ k}\Omega$ -Widerstand weiter über diese Basis-Kollektor-Strecke zur Basis des Transistors  $V_2$ . Dadurch wird  $V_2$  angesteuert und wird leitend. Ein Strom fließt vom 5-Volt-Anschluss über den  $1,6\text{ k}\Omega$ -Widerstand, die Kollektor-Emitter-Strecke von  $V_2$  und den  $1\text{ k}\Omega$ -Widerstand zum 0-Volt-Anschluss. Dies bewirkt zweierlei:

1. Der Spannungsfall am  $1\text{ k}\Omega$ -Widerstand sorgt für eine Ansteuerung von  $V_4$  und schaltet ihn durch.
2. Gleichzeitig sinkt durch den Kollektorstrom von  $V_2$  das Potential am Kollektoranschluss von  $V_2$  und damit an der Basis von  $V_3$  so stark ab, dass  $V_3$  sperrt.

Die Folge ist: Der Ausgang des Gatters an Punkt  $A$  wird über  $V_4$  auf ein Potential nahe 0 Volt gelegt. Der Ausgang ist auf  $L$  geschaltet.

Spielen wir nun den nächsten Fall durch. Wir schließen beide Eingänge ( $E_1$  und  $E_1$ ) an +5 Volt an, also auf  $H$ -Potential. Die PN-Übergänge in  $V_1$  zwischen der Basis und den beiden Emitttern sind damit **nicht** leitend. Der Rest der Schaltung verhält sich damit genauso, wie zuvor besprochen.

**Zusammengefasst: Lässt man beide Eingänge offen, dann verhält sich die Schaltung genau so, als ob an den Eingängen ein  $H$ -Signal angelegt würde.** Es wird aber davon abgeraten, Eingänge offen zu lassen, weil sie dann empfindlicher für eventuelle Störimpulse sind.

Mit diesem Ergebnis haben wir bereits die letzte Zeile für die Wertetabelle der Schaltung erhalten.

$E_1$	$E_2$	$A$
0	0	
0	1	
1	0	
1	1	0

Kümmern wir uns nun um die anderen Zeilen. Einer der beiden Eingänge ( $E_1$  oder  $E_1$ ) wird jetzt auf  $L$  geschaltet, indem der Eingang auf 0 Volt gelegt wird. Der andere bleibt zunächst auf  $H$ . Was passiert?

Nehmen wir an,  $E_1$  liegt auf  $L$  und  $E_2$  auf  $H$ . Dann ist der PN-Übergang zwischen der Basis und dem Emitter an  $E_2$  gesperrt, „stört“ den Rest der Schaltung also nicht weiter. Der andere PN-Übergang zwischen der Basis und dem Emitter an  $E_1$  ist jedoch leitend, es fließt ein Strom vom 5-Volt-Punkt über den  $4\text{ k}\Omega$ -Widerstand zur Basis von  $V_1$  und von dort weiter über den linken Emitter zum Eingang  $E_1$ . Aus diesem Eingang kommt der Strom heraus(!) und fließt über die außerhalb angeschlossene Schaltung zum 0-Volt-Punkt der Schaltung.

Bevor wir weiter überlegen, was dadurch passiert, bleibt festzuhalten: **Aus dem Eingang eines TTL-Gatters kommt ein Strom heraus, den die steuernde Schaltung verkraften können muss!** Dieser Strom liegt in der Größenordnung von gut

einem Milliampere, wie man leicht nachrechnen kann.

Kümmern wir uns nun darum, was in der Schaltung weiter passiert. Wie bereits erwähnt, liegt  $E_1$  auf etwa Null Volt. Am PN-Übergang zwischen Basis und Emitter an  $V_1$  fällt eine Spannung von etwa 0,7 Volt ab, die Basis liegt also auf einem Potential von etwa 0,7 V. Das hat zur Folge, dass kein Strom mehr vom Kollektor von  $V_1$  zur Basis von  $V_2$  fließen kann.  $V_2$  wird daher gesperrt. Es fließt kein Strom durch den 1 k $\Omega$ -Widerstand. Deshalb fällt an diesem Widerstand keine Spannung ab, wodurch auch  $V_4$  gesperrt ist.

Etwas anders sieht es für  $V_3$  aus. Über den 1,6 k $\Omega$ -Widerstand fließt ein Strom zu seiner Basis, er wird angesteuert und seine Kollektor-Emitter-Strecke wird leitend. Am Schaltungsausgang steht ein  $H$ -Pegel an.

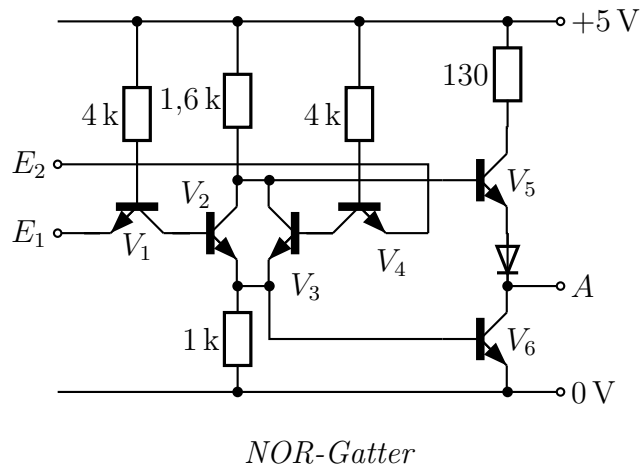
Genau das gleiche passiert auch, wenn anstelle von  $E_1$  der Eingang  $E_2$  auf  $L$ -Pegel liegt und auch, wenn beide Eingänge auf  $L$ -Pegel liegen. Damit können wir die noch fehlenden Zeilen in der Wertetabelle eintragen.

$E_1$	$E_2$	$A$
0	0	1
0	1	1
1	0	1
1	1	0

Dies ist ganz klar die Wertetabelle für ein NAND-Gatter.

## 2.2 NOR-Gatter in TTL-Technik

Nebenstehend ist ein NOR-Gatter in TTL-Technik dargestellt. In Teilen ist die Schaltung identisch mit dem eben besprochenen NAND-Gatter. Die Ausgangsschaltung mit  $V_5$  und  $V_6$  entspricht genau der Ausgangsschaltung im NAND-Gatter. Anstelle des Multi-Emitter-Transistors haben wir hier die beiden Einzel-Transistoren  $V_1$  und  $V_4$ . Jeder wird über einen eigenen Eingang  $E_1$  und  $E_2$  einzeln angesteuert. Sie wirken ebenfalls nicht, wie ein normaler Transistor, sondern so, wie für den Multi-Emitter-Transistor beschrieben.



Gehen wir die Funktionsweise im Einzelnen durch. Nehmen wir zunächst wieder an, beide Eingänge bleiben offen. Dann wirkt wie beim NAND-Gatter der PN-Übergang zwischen Basis und Kollektor sowohl bei  $V_1$  als auch bei  $V_4$  als Diode in Durchlassrichtung. Dadurch werden  $V_2$  und  $V_3$  leitend und wie schon beim NAND-Gatter beschrieben

gibt die Ausgangsstufe mit  $V_5$  und  $V_6$  ein  $L$ -Signal aus. Genau das gleiche Verhalten haben wir, wenn an beiden Eingängen ein  $H$ -Signal angelegt wird. Damit ist die letzte Zeile für die Wertetabelle bekannt.

$E_1$	$E_2$	$A$
0	0	
0	1	
1	0	
1	1	0

Als nächstes wird der Eingang  $E_1$  auf  $L$ -Potential gelegt. Dadurch fließt in  $V_1$  ein Strom von der Basis zum Emmitter ab, am Kollektor kommt nichts mehr an. Dadurch sperrt nun  $V_2$ . Weil  $V_3$  aber noch leitet, ändert sich am Ausgang nichts, weiterhin gibt er ein  $L$ -Signal aus. Genau das gleiche passiert natürlich, wenn anstelle von  $E_1$  nun  $E_2$  auf  $L$ -Pegel geschaltet wird. Nur dann, wenn **beide** Eingänge auf  $L$ -Potential gelegt wird, sind  $V_2$  und  $V_3$  gleichzeitig gesperrt. In diesem Fall wird  $V_5$  über den  $1,6\text{ k}\Omega$ -Widerstand angesteuert und damit leitend, während die Basis von  $V_6$  über den  $1\text{ k}\Omega$ -Widerstand auf  $0\text{ Volt}$  gelegt wird, wodurch  $V_6$  sperrt. Der Ausgang zeigt  $H$ -Potential. Wir erhalten diese Wertetabelle.

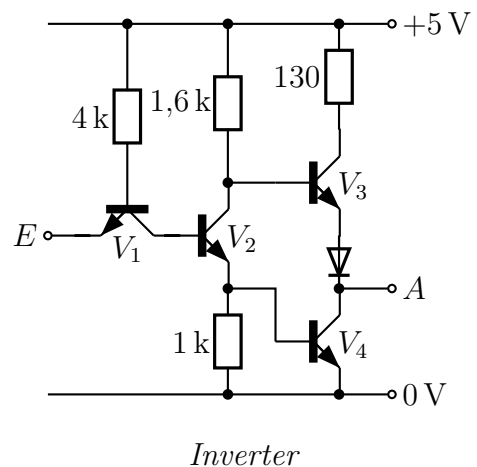
$E_1$	$E_2$	$A$
0	0	1
0	1	0
1	0	0
1	1	0

Es handelt sich also erkennbar um ein NOR-Gatter.

## 2.3 Inverterschaltung

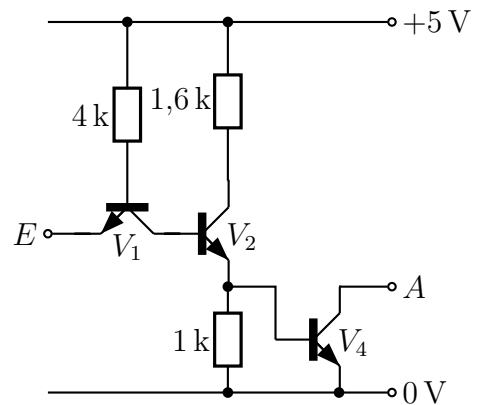
Natürlich gibt es in der TTL-Technik auch eine Inverterschaltung. Sie stellt gewissermaßen die auf einen einzigen Eingang „abgemagerte“ NAND- oder NOR-Schaltung dar. Im Vergleich zum NAND fehlt einfach nur der zweite Emmitter an  $V_1$ . Diese Schaltung ist nebenstehend dargestellt.

Auch hier bewirkt ein Offenlassen oder ein Anschluss auf  $H$ -Potential am Eingang, dass ein Strom von der Basis über den leitenden PN-Übergang zum Kollektor von  $V_1$  fließen kann und dadurch  $V_2$  ansteuert. (An dieser Stelle weise ich noch einmal darauf hin, dass dies **keine** übliche Betriebsart eines Transistors ist.) Hierdurch wird – wie beim NAND beschrieben –  $V_4$  gesperrt und  $V_3$  leitend. Der Ausgang gibt ein  $L$ -Signal aus.



## 2.4 Schaltungen mit “Open-Collector“-Ausgang

Für manche Anwendungen gibt es auch alle Schaltungen mit sogenanntem Open-Collector-Ausgang – oder auf Deutsch: mit einem offenen Kollektor am Ausgang. Hierdurch ist es möglich, die Ausgänge mehrerer Gatter parallel zu schalten. Man muss dann nur einen externen Pull-Up-Widerstand vorsehen. (Das ist ein Widerstand zwischen dem 5-Volt-Potential und den Ausgängen dieser Gatter.) Dadurch erreicht man eine UND-Verknüpfung der Ausgänge. Nur wenn alle auf  $H$  geschaltet sind – die Ausgangstransistoren alle sperren – dann gibt es über den Pull-Up-Widerstand ein  $H$ -Signal am gemeinsamen Ausgang. Auch zum Ansteuern einer LED über ein einzelnes Gatter verwendet man gern solche Gatter. Die LED kommt dann einfach zwischen Ausgang und Pluspol der Versorgungsspannung, ggf. mit geeignetem Vorwiderstand.



*Inverter mit „Open-Collector“*

Nebenstehend ist diese Ausgangsschaltung am Beispiel des Inverters dargestellt. Es „fehlt“ quasi nur der obere Transistor, alles andere ist identisch.

## 2.5 Eigenschaften der TTL-Technik

Aufgrund dieser hier vorgestellten Schaltungen ergeben sich nachfolgende Eigenschaften, die grundsätzlich für alle TTL-Bausteine gelten.

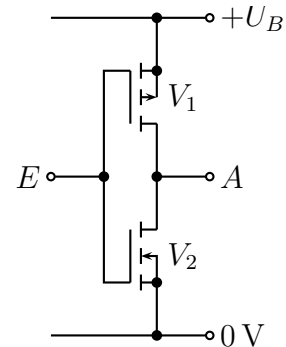
- Betriebsspannung:  $U_B = 5\text{ V} \pm 5\%$
- Eingangsspannung, die als  $L$ -Pegel erkannt wird:  $U_E < 0,8\text{ V}$
- Eingangsspannung, die als  $H$ -Pegel erkannt wird:  $U_E > 2,0\text{ V}$
- Offener Eingang bedeutet  $H$ -Pegel
- Ausgangsspannung für  $L$ -Pegel:  $U_A < 0,4\text{ V}$
- Ausgangsspannung für  $H$ -Pegel:  $U_A > 2,4\text{ V}$
- Eingangsstrom bei  $L$ -Pegel:  $I_E \approx -1,1\text{ mA}$  (Der Strom fließt aus dem Eingang heraus!)
- Eingangsstrom bei  $H$ -Pegel:  $I_E = 0\text{ mA}$

### 3 Grundlagen der CMOS-Technik

Die Betriebsspannung für CMOS-Schaltungen kann im Bereich zwischen 3 und 15 Volt liegen. Die „Basis“ für die CMOS-Technik ist immer ein komplementäres MOSFET-Paar<sup>1</sup> des selbstsperrenden Typs. Daher kommt auch der Name: **C**omplementary **M**etal **O**xid **S**emiconductor – frei übersetzt auf Deutsch: Komplementäre MOSFET-Schaltung. Weitere Bauelemente sind **nicht** erforderlich. Im Betrieb ist immer ein Partner des Paares leitend und der andere gesperrt. Dadurch kommt es niemals – außer während des Umschaltvorgangs – zu einem Stromfluss in der Reihenschaltung der beiden MOSFETs.

#### 3.1 Inverter

Nebenstehend ist die Schaltung eines Inverters in CMOS-Technik dargestellt. Legt man den Eingang auf 0 Volt (*L*-Pegel), dann beträgt die Gate-Source-Spannung von  $V_2$  ebenfalls 0 Volt. Da es sich um einen **selbstsperrenden** Typ handelt, ist  $V_2$  gesperrt. Die Gate-Source-Spannung von  $V_1$  dagegen ist groß genug, dass  $V_1$  leitend wird. Der Ausgang wird daher über  $V_1$  an  $+U_B$ , also auf *H*-Pegel geschaltet.



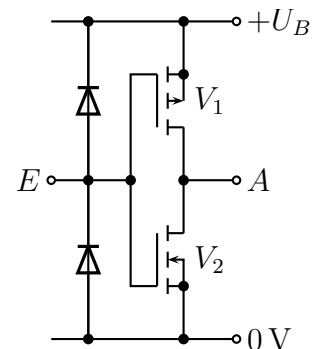
*Inverter in CMOS*

Im Gegensatz zur TTL-Technik **muss** jeder Eingang eines CMOS-Gatters immer auf definiertes Potential gelegt werden. Da die Eingänge von MOSFETs extrem hochohmig sind, „fangen“ diese sich ansonsten irgendwelche Störimpulse ein und reagieren völlig unvorhersehbar. Als *H*-Pegel wird alles im Bereich 60...100 % von  $U_B$  erkannt, als *L*-Pegel gilt 0...40 % von  $U_B$ .

Als Ausgangspegel ergibt sich für *H*-Pegel  $+U_B$  und für *L*-Pegel 0 Volt.

Die Eingänge sind extrem hochohmig und daher sehr empfindlich gegen statische Aufladungen. Meist sind daher Schutzdioden als Spannungsableiter eingebaut, die jedoch die Schaltung langsamer machen.

Wie das aussehen kann, ist hier nebenstehend dargestellt. So lange die Eingangsspannung zwischen 0 Volt und  $+U_B$  liegt, sind beide Dioden gesperrt. Wird  $U_E$  positiver, wird die obere Diode leitend, liegt  $U_E$  im negativen Bereich, leitet die untere Diode die Spannung an.



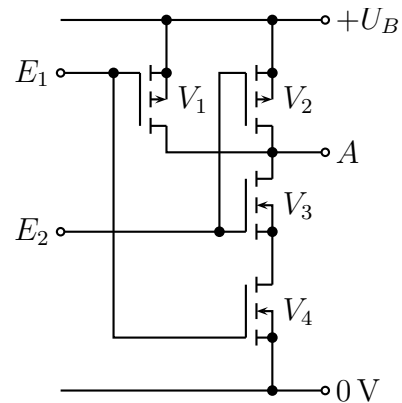
*CMOS mit Schutzdioden*

<sup>1</sup>Ein **komplementäres** MOSFET-Paar besteht aus einem N-Kanal-Typ und einem P-Kanal-Typ.

### 3.2 NAND-Gatter in CMOS-Technik

Nebenstehend ist die Schaltung eines NAND-Gatters in CMOS-Technik dargestellt. Hier arbeiten  $V_1$  und  $V_4$  als Paar für Eingang 1 und  $V_2$  und  $V_3$  als Paar für Eingang 2 zusammen. Gehen wir der Reihe nach die verschiedenen möglichen Schaltzustände durch.

Legen wir zunächst beide Eingänge auf  $L$ -Potential, also auf 0 Volt. Über Eingang  $E_1$  ist dann  $V_4$  gesperrt, da  $U_{GS4} = 0\text{ V}$  ist.  $V_1$  dagegen wird leitend. Entsprechend ist auch  $V_3$  gesperrt und  $V_2$  leitend. Über  $V_1$  und auch über  $V_2$  gelangt ein  $H$ -Pegel zum Ausgang.



NAND in CMOS

Als nächstes sei  $E_1$  auf  $H$ - und  $E_2$  auf  $L$ -Pegel geschaltet. Durch  $E_1 = +U_B$  sperrt  $V_1$  und  $V_4$  wird leitend. Über  $E_2 = 0\text{ V}$  wird  $V_2$  leitend und  $V_3$  gesperrt. Es reicht aus, wenn in der Parallelschaltung  $V_1$  **oder**  $V_2$  leitend ist, um den Ausgang auf  $H$ -Pegel zu schalten. Wenn in der Reihenschaltung  $V_3$  **oder**  $V_4$  gesperrt ist, genügt das, um einen Kurzschluss zu vermeiden. Nur dann, wenn  $V_1$  **und**  $V_2$  gleichzeitig gesperrt sind, gelangt kein  $H$ -Potential zum Ausgang. Das ist der Fall für  $E_1 = H$  **und**  $E_2 = H$ . Es ergibt sich diese Wertetabelle:

$E_1$	$E_2$	$A$
0	0	1
0	1	1
1	0	1
1	1	0

Diese Wertetabelle ist für ein NAND-Gatter bekannt.

Wird ein NAND mit mehr als zwei Eingängen (z.B. mit 8 Eingängen) benötigt, dann schaltet man im oberen Bereich entsprechend viele P-Kanal-MOSFETs parallel und im unteren Bereich die gleiche Anzahl von N-Kanal-MOSFETs in Reihe.

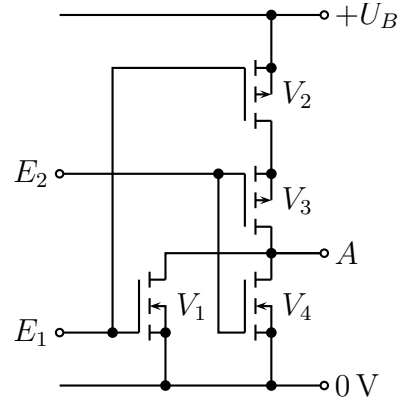
Wird ein AND-Gatter (ohne Negation im Ausgang) benötigt, dann schaltet man hinter das NAND einfach einen Inverter. Der hebt die Negation durch eine weitere Negation wieder auf.

Auch hier können Schutzdioden (wie beim Inverter gezeigt) eingebaut sein. Auf eine erneute Darstellung soll an dieser Stelle verzichtet werden.



### 3.3 NOR-Gatter in CMOS-Technik

Nebenstehend ist die Schaltung eines NOR-Gatters in CMOS-Technik dargestellt. Die Schaltung sieht auf den ersten Blick genauso aus, wie ein NAND, jedoch ist die Parallelschaltung nicht aus P-Kanal-MOSFETs aufgebaut, sondern aus N-Kanal-MOSFETs. Zudem liegt sie im unteren Bereich. In der Schaltung arbeiten  $V_1$  und  $V_2$  als Paar für Eingang 1 und  $V_3$  und  $V_4$  als Paar für Eingang 2 zusammen. Gehen wir der Reihe nach die verschiedenen möglichen Schaltzustände durch.



*NOR in CMOS*

Legen wir zunächst beide Eingänge auf  $L$ -Potential, also auf 0 Volt. Über Eingang  $E_1$  ist dann  $V_1$  gesperrt, da  $U_{GS1} = 0\text{ V}$  ist.  $V_2$  dagegen wird leitend. Entsprechend ist auch  $V_4$  gesperrt und  $V_3$  leitend. Über  $V_2$  und  $V_3$  gelangt ein  $H$ -Pegel zum Ausgang.

Liegt einer der beiden Eingänge auf  $H$ -Potential, dann wird der zugehörige N-Kanal-MOSFET (unten,  $V_1$  oder  $V_4$ ) leitend. Wegen der Parallelschaltung von  $V_1$  und  $V_4$  liegt damit am Ausgang auf jeden Fall ein  $L$ -Pegel an. Im oberen Zweig ist dann mindestens einer der beiden P-Kanal-MOSFETS gesperrt. Nur dann, wenn **beide** Eingänge auf  $L$ -Potential geschaltet sind, sperren die beiden N-Kanal-MOSFETS  $V_3$  und  $V_4$  und über die beiden dann leitenden in Reihe geschalteten P-Kanal-MOSFETS  $V_1$  und  $V_2$  liegt ein  $H$ -Pegel am Ausgang. Es ergibt sich diese Wertetabelle:

$E_1$	$E_2$	$A$
0	0	1
0	1	0
1	0	0
1	1	0

Diese Wertetabelle ist für ein NOR-Gatter bekannt.

Wird ein NOR mit mehr als zwei Eingängen (z.B. mit 8 Eingängen) benötigt, dann schaltet man im oberen Bereich entsprechend viele P-Kanal-MOSFETs in Reihe und im unteren Bereich die gleiche Anzahl von N-Kanal-MOSFETs parallel.

Wird ein OR-Gatter (ohne Negation im Ausgang) benötigt, dann schaltet man hinter das NOR einfach einen Inverter. Der hebt die Negation durch eine weitere Negation wieder auf.

### 3.4 Eigenschaften der CMOS-Technik

Aufgrund dieser hier vorgestellten Schaltungen ergeben sich nachfolgende Eigenschaften, die grundsätzlich für alle CMOS-Bausteine gelten.

- Betriebsspannung: beliebig im Bereich 3...15 V
- Eingangsspannung, die als  $L$ -Pegel erkannt wird:  $U_E < 40\%$  von  $U_B$
- Eingangsspannung, die als  $H$ -Pegel erkannt wird:  $U_E > 60\%$  von  $U_B$
- Offene Eingänge: führen zu undefinierten Zuständen
- Ausgangsspannung für  $H$ -Pegel:  $+U_B$
- Ausgangsspannung für  $L$ -Pegel: 0 V
- Eingangsströme bei allen Pegeln:  $< 1$  nA
- Sehr empfindlich gegenüber statischen Aufladungen
- Praktisch kein Strombedarf, solange nicht umgeschaltet wird